

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

SE-JUN KIM, ET AL.

Application No.:

Filed:

For: **ANALOG DELAY LOCKED LOOP  
WITH TRACKING  
ANALOG-DIGITAL CONVERTER**

Art Group: Unknown

Examiner: To Be Determined

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**REQUEST FOR PRIORITY**

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>DATE OF FILING</u>
Republic of Korea	10-2003-0001287	9 January 2003

☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP



Farzad E. Amini, Reg. No. 42,261

Dated: December 31, 2003

12400 Wilshire Boulevard, 7th Floor  
Los Angeles, CA 90025  
Telephone: (310) 207-3800



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0001287  
Application Number

출원년월일 : 2003년 01월 09일  
Date of Application JAN 09, 2003

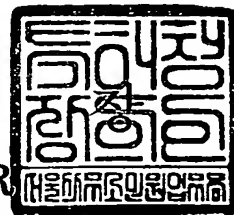
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 24 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.01.09
【발명의 명칭】	트래킹 아날로그-디지털 변환기를 구비한 아날로그 지연고정루프
【발명의 영문명칭】	Analog Delay Lock Loop with tracking analog-digital converter
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	김세준
【성명의 영문표기】	KIM, Se Jun
【주민등록번호】	740209-1069419
【우편번호】	463-500
【주소】	경기도 성남시 분당구 구미동 까치마을 선경아파트 107-1002
【국적】	KR
【발명자】	
【성명의 국문표기】	홍상훈
【성명의 영문표기】	HONG, Sang Hoon
【주민등록번호】	700930-1064113
【우편번호】	467-860
【주소】	경기도 이천시 부발읍 신하리 청구아파트 101-1302
【국적】	KR
【발명자】	
【성명의 국문표기】	고재범
【성명의 영문표기】	KO, Jae Bum

【주민등록번호】	760926-1026025		
【우편번호】	131-208		
【주소】	서울특별시 중랑구 면목8동 2-8 3층 6/6		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 신성 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	19	면	19,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	20	항	749,000 원
【합계】	797,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

**【요약서】****【요약】**

본 발명은 아날로그 지연고정루프에서 지연고정된 정보를 디지털 값으로 저장하여 파워 다운모드에서는 동작을 중지시킬 수 있어, 전류소모가 최소화된 아날로그 지연고정루프를 제공하기 위한 것으로, 이를 위해 본 발명은 외부클럭신호를 버퍼링하여 기준클럭신호로 사용하는 아날로그 지연고정루프에 있어서, 상기 버퍼링되는 지연시간을 모델링하기 위한 지연모델; 상기 기준클럭신호와 상기 지연모델에서 출력되는 출력신호간의 위상을 비교하기 위한 위상비교기; 상기 위상비교기의 출력에 응답하여 전하펌핑 동작을 수행하기 위한 전하펌프; 상기 전하펌프에서 공급되는 전하량에 의해 인가되는 기준전압을 출력하기 위한 루프필터; 상기 기준클럭신호를 상기 기준전압에 대응하는 소정시간동안 지연시켜 상기 지연모델로 출력하기 위한 전압제어 딜레이라인; 및 상기 루프필터의 기준전압을 안정적으로 유지하기 위해, 상기 기준전압을 디지털값으로 저장하고, 상기 저장된 디지털값에 해당되는 트래킹전압을 상기 루프필터로 출력하는 트래킹 아날로그-디지털 변환기를 구비하는 아날로그 지연고정루프를 제공한다.

**【대표도】**

도 5

**【색인어】**

반도체, 메모리, 클럭, 지연고정루프, 레지스터, 아날로그-디지털 변환기.

## 【명세서】

## 【발명의 명칭】

트래킹 아날로그-디지털 변환기를 구비한 아날로그 지연고정루프{Analog Delay Lock Loop with tracking analog-digital converter}

## 【도면의 간단한 설명】

도1은 종래기술에 의한 디지털 지연고정루프를 나타내는 블록구성도.

도2는 도1에 도시된 디지털 딜레이라인을 나타내는 회로도.

도3은 종래기술에 의한 아날로그 지연고정루프를 나타내는 블록구성도.

도4는 도3에 도시된 전하펌프와 루프필터를 나타내는 회로도.

도5는 본 발명의 바람직한 실시예에 따른 아날로그 지연고정루프를 나타내는 블록구성도.

도6은 도5에 도시된 트래킹 아날로그-디지털 변환기를 나타내는 블록구성도.

도7은 도5에 도시된 아날로그 지연고정루프의 동작을 나타내는 파형도.

도8은 도6에 도시된 트래킹 아날로그-디지털 변환기의 동작을 나타내는 파형도.

도9는 본 발명의 바람직한 다른 실시예에 따른 아날로그 위상고정루프를 나타내는 블록구성도.

\* 도면의 주요부분에 대한 부호설명 \*

100 : 트래킹 아날로그-디지털 변환기    200 : 전압제어 딜레이라인

300 : 위상비교기      400 : 전하펌프

500 : 루프필터      600 : 지연모델

700 : 입력버퍼

### 【발명의 상세한 설명】

### 【발명의 목적】

### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <15>      본 발명은 반도체 장치에 관한 것으로, 특히 입력되는 외부클럭에 동기된 내부클럭을 생성하기 위한 아날로그 지연고정루프(Analog Delay Lock Loop)에 관한 것이다.
- <16>      외부 클럭에 동기되어 동작하는 동기형 반도체 장치들은 클럭 버퍼와 클럭 드라이버를 이용하여 내부 클럭을 발생하기 때문에 통상적으로 내부 클럭은 외부 클럭에 비해 일정 시간 지연되고, 이로 인하여 반도체 장치의 동작 성능이 저하된다. 즉, 반도체 장치의 데이터의 액세스 시간( $t_{AC}$ )은 칩내부의 클럭버퍼등으로 인한 소정의 지연시간만큼 증가되는 문제점이 생기는 것이다.
- <17>      따라서 칩내부에 외부클럭에 동기된 내부클럭을 발생하는 회로를 구비하게 되는데, 이때 사용하는 회로가 지연고정루프이다. 통상적으로 지연고정루프는 외부클럭에 내부클럭을 동기시키는 방법에 따라서 아날로그 지연고정루프와 디지털 지연고정루프로 구분된다.
- <18>      도1은 종래기술에 의해 디지털 지연고정루프의 구성을 나타내는 블록도이다.
- <19>      도1을 참조하여 살펴보면, 디지털 지연고정루프는 외부클럭신호( $CK_{in}$ )가 버퍼링되어 기준클럭신호( $CK_r$ )로 형성될 때 지연되는 지연량을 모델링하기 위한 지연모델(50)과, 기준클럭신

호(CKr)와 지연모델(50)의 출력신호를 입력받아 두 신호의 위상을 비교하여 기준클럭신호(CKr)의 지연시간을 제어하기 위한 위상비교기(20)와, 위상비교기(20)에서 출력되는 왼쪽쉬프트신호(shift-left) 또는 오른쪽쉬프트신호(shift-right)를 입력받아서 디지털 딜레이라인(30)을 제어하기 위한 쉬프트레지스터(40)와, 쉬프트레지스터(40)의 출력에 따라 기준클럭신호(CKr)의 지연 시간을 조절하기 위한 디지털 딜레이라인(30)을 구비한다.

<20> 도2는 도1에 도시된 디지털 딜레이라인(30)을 나타내는 회로도로서 단위 딜레이를 3단으로 구성했을 때의 회로도이다.

<21> 도2를 참조하여 살펴보면, 디지털 딜레이라인(30)은 쉬프트레지스터(50)로부터 출력되는 제1 내지 제3 쉬프트신호(SL1 내지 SL3)의 제어에 의해 기준클럭신호(CKr)를 선택적으로 전달하기 위한 제어부(32)와, 제어부(32)에서 출력되는 기준클럭신호(CKr)를 소정지연시간만큼 지연시켜 출력하기 위한 딜레이부(31)와, 딜레이부(31)로부터 입력되는 신호를 출력하기 위한 출력부(33)를 구비한다. 여기서 소정지연시간은 기준클럭신호(CKr)가 거치게되는 단위딜레이의 수에 따라서 정해진다.

<22> 제어부(32)는 기준클럭신호(CKr)와 제1 쉬프트신호(SL1)를 입력받는 낸드게이트(32a)와, 기준클럭신호(CKr)와 제2 쉬프트신호(SL2)를 입력받는 낸드게이트(32b)와, 기준클럭신호(CKr)와 제3 쉬프트신호(SL3)를 입력받는 낸드게이트(32c)로 구성되어 있다.

<23> 딜레이부(31)는 3개의 단위 딜레이로 구성되는데, 제1 단위딜레이는 낸드게이트(31a)의 출력과 전원전압(Vcc)을 입력받는 낸드게이트(31a)와, 낸드게이트(31a)의 출력과 전원전압(Vcc)을 입력받는 낸드게이트(31b)로 구성된다.



- <24> 제2 단위딜레이는 낸드게이트(31b)의 출력과 낸드게이트(32b)의 출력을 입력받는 낸드게이트(31c)와, 낸드게이트(31c)의 출력과 전원전압(Vcc)을 입력받는 낸드게이트(31d)로 구성된다. 제3 단위딜레이는 낸드게이트(31d)의 출력과 낸드게이트(32a)의 출력을 입력받는 낸드게이트(31e)와, 낸드게이트(31e)의 출력과 전원전압(Vcc)을 입력받는 낸드게이트(31f)로 구성된다.
- <25> 도2에 도시된 딜레이부(31)는 하나의 단위딜레이를 두 개의 낸드게이트로 구성한 경우이며, 하나의 단위딜레이를 구성하는 낸드게이트의 수는 쉬프트레지스터에서 출력되는 하나의 쉬프트신호에 대해서 기준클럭신호(CKr)가 지연되는 시간에 따라서 정해진다.
- <26> 또한 도2에 도시된 딜레이부(31)는 3개의 단위딜레이로 구성되어 있으며, 지연고정루프에 구비되는 단위딜레이의 수는 기준클럭신호(CKr)의 지연범위에 따라서 정해진다.
- <27> 이하 도1 및 도2를 참조하여 디지털 지연고정루프의 동작을 설명한다.
- <28> 외부에서 입력되는 외부 클럭신호(CKin)가 입력버퍼(10)를 지나면서 소정시간 지연되어 위상비교기(20)로 입력되며, 한편으로는 디지털 딜레이라인(30)을 통해서 다시 소정시간 지연된 피드백클럭신호(CKf)가 되어 지연모델(50)로 입력된다. 지연모델(50)은 클럭신호(CKin)가 입력되는 입력버퍼(10)등으로 인해 기준클럭이 지연되는 지연시간을 모델링해서 설계된다.
- <29> 이어서 위상비교기(20)에서는 기준클럭신호(CKr)와, 지연모델(50)의 출력신호를 비교하여 왼쪽쉬프트신호(shift-left) 또는 오른쪽쉬프트신호(shift-right)를 쉬프트 레지스터(40)로 출력한다. 쉬프트레지스터(40)는 왼쪽쉬프트신호(shift-left) 또는 오른쪽쉬프트신호(shift-right)에 따라서 딜레이 라인(30)으로 제1 내지 제3 쉬프트신호(SL1~ SL3)를 출력한다.

- <30> 이어서 디지털 딜레이라인(30)에서는 제1 내지 제3 쉬프트신호(SL1~ SL3) 신호에 따라서 정해지는 지연시간만큼 기준클럭신호(CKr)를 지연시켜서 피드백 클럭신호(CKf)로 형성하여 지연모델(50)로 출력한다.
- <31> 이어서 지연모델(50)은 피드백 클럭신호(CKf)를 입력받아서 위상비교기(20)로 출력하고, 위상비교기(20)는 지연모델(50)의 출력신호와 기준클럭신호(CKr)의 위상이 비교한다.
- <32> 위상비교기(20)에서 기준클럭신호(CKr)와 지연모델(50)의 출력신호의 위상이 같다고 감지되면, 위상비교기(20)는 쉬프트 레지스터(40)로 기준클럭신호(CKr)가 피드백 클럭신호(CKf)로 되는 동안의 지연시간이 고정되도록 하는 홀드신호(Hold)를 출력하게 된다.
- <33> 이후부터는 기준클럭신호(CKr)가 피드백 클럭신호로 되는 딜레이 라인(30)의 내부 경로가 고정되고, 이 때 지연고정된 피드백 클럭신호(CKf)가 반도체 장치 내부로 출력되어 반도체 장치의 모든 동작의 기준신호로서 이용된다.
- <34> 디지털 지연고정루프는 지연을 고정시키는 동작이 끝난후 지연고정된 값을 쉬프트 레지스터(50)에 저장을 하고 있게 된다. 따라서 한번 고정을 시킨 후에 파워소모를 줄이기 위한 스탠바이모드(Standby mode)에서 외부의 기준클럭을 딜레이 라인에 입력되는 것을 막아서 동작전류를 줄일 수가 있다. 다시 스탠바이모드가 해제되어 동기화된 클럭이 필요하면 쉬프트 레지스터(50)에 저장된 값을 이용하여 몇 클럭이내에 다시 동기화된 클럭을 생성시킬 수가 있다.
- <35> 따라서 디지털 지연고정루프는 디지털값으로 지연고정된 정보를 저장하고 있기 때문에 스탠바이모드에서 디지털 딜레이라인(30)을 디스에이블시킬 수 있어 전류소모를 줄일 수 있는 장점을 가지고 있다.

- <36> 그러나 디지털 지연고정루프는 그 특성상 딜레이라인(30)을 구성하는 단위딜레이의 수에 따라서 그 성능이 좌우되는데, 성능을 높이기 위해서는 단위딜레이의 수를 증가시켜야 되고, 이로 인해 구현 면적이 크게 증가되는 문제점을 가지고 있다.
- <37> 또한 단위딜레이의 단위지연시간보다는 적은 범위의 값을 가지는 미세하게 지연고정된 클럭을 생성할 수는 없는 단점을 가지고 있으며, 전원전압에 생기는 노이즈에 지연고정된 클럭의 변화폭이 높아서 고속 시스템에 적용하기에는 많은 문제점을 가지고 있다. 또한, 클럭신호가 게이트를 여러단 거쳐야하는 구조이기 때문에 출력되는 클럭신호의 지터특성이 나쁜문제점을 가지고 있다.
- <38> 디지털 지연고정루프의 여러문제점을 해결할 수 있는 장치가 아날로그 지연고정루프이다.
- <39> 도3은 종래기술에 의한 아날로그 지연고정루프를 나타내는 블럭구성도이다.
- <40> 도3을 참조하여 살펴보면, 아날로그 지연고정루프는 외부클럭신호(CKin)가 버퍼링되어 기준클럭신호(CKr)로 형성될 때 지연되는 지연량을 모델링하기 위한 지연모델(50)과, 기준클럭신호(CKr)를 입력받아 기준전압(Vc)에 대응하는 소정시간만큼 지연시켜 피드백 클럭신호(CKf)를 출력하기 위한 전압제어 딜레이라인(Voltage Control Delay Line, VCDL)(70)과, 기준클럭신호(CKr)와 지연모델(65)에서 출력되는 출력신호의 위상차이를 감지하기 위한 위상비교기(75)와, 위상비교기(75)에서 감지한 신호에 따라서 출력되는 업신호(UP) 및 다운신호(DOWN)에 따라 전하를 루프필터(90)로 펌핑하는 전하펌프(charge pump)(80)와, 전하펌프(80)에 펌핑되는 전하를 저장하고, 저장된 전하에 대응하는 기준전압(Vc)을 전압제어 딜레이라인(70)으로 출력하는 루프필터(90)를 구비한다.

- <41> 도4는 도3에 도시된 전하펌프(80)와 루프필터(90)의 일예를 나타내는 회로도이다.
- <42> 도4를 참조하여 살펴보면, 전하펌프(80)는 드레인(Drain)을 통해 전원전압(VDD)을 공급 받고 게이트(Gate)를 통해 턴온 상태를 유지하기 위한 바이어스 전압(Vbiasp)을 인가받는 모스트랜지스터(MP1)와, 드레인이 모스트랜지스터(MP1)의 소오스(Source)와 연결되고 게이트를 통해 업 신호를 입력받는 트랜지스터(MP2)와, 드레인이 모스트랜지스터(MP2)의 소오스와 연결되고 게이트를 통해 다운 신호를 입력받는 모스트랜지스터(MN2), 드레인이 모스트랜지스터(MN2)의 소오스와 연결되고 게이트를 통해 턴온상태를 유지하기 위한 바이어스전압(Vbiasn)을 인가 받으며 소오스가 접지된 모스트랜지스터(MN1)를 구비하여 구성된다.
- <43> 또한 루프필터(90)는 전하펌퍼에서 출력되는 전하를 저장하기 위한 캐패시터(C)와, 캐패시터(C)로 전하를 전달하는 저항(R)으로 구성된다.
- <44> 이하에서는 도3 및 도4를 참조하여 아날로그 지연고정루프의 동작에 대해서 설명한다.
- <45> 먼저 입력버퍼(10)에서는 외부 클럭신호(CKin)를 입력받아서 소정시간 지연시켜 기준클럭신호(CKr)를 출력한다. 기준클럭신호(CKr)는 위상비교기(75)로 입력되고, 한편으로 기준클럭신호(CKr)는 전압제어 딜레이라인(70)에서 다시 소정시간 지연된 피드백 클럭신호(CKf)로 되어 지연모델(65)로 입력된다. 지연모델(65)은 외부클럭(CKin)이 클럭버퍼(60)등으로 인해 지연되는 지연시간을 모델링해서 설계된다.
- <46> 이어서 위상비교기(75)에서는 기준클럭신호(CKr)와 지연모델(65)에서 출력되는 출력신호의 위상을 비교하고, 비교한 결과에 따라서 업신호(up) 또는 다운신호(down)를 출력한다.
- <47> 전하펌프(80)는 바이어스전압(Vbiasn, Vbiasp)에 인에이블되어 업신호(up) 또는 다운신호(down)에 따라서 루프필터(90)의 캐패시터(C)에 전하를 충전하거나, 캐패시터(C)로 부터 전

하를 방전시킨다. 캐패시터(C)에 충전되는 전하에 따라서 일정한 기준전압( $V_c$ )이 인가되어 전압제어 딜레이라인(70)으로 출력된다.

- <48> 이어서 전압제어 딜레이라인(70)에서는 루프필터(90)에 인가되는 기준전압( $V_c$ )에 따라서 기준클럭신호(CKr)의 지연시간을 조정하여 피드백 클럭신호(CKf)로 출력한다.
- <49> 이어서 위상비교기(75)에서 기준클럭신호(CKr)와 지연모델(65)에서 출력되는 출력신호의 위상을 비교한 결과가 일치하게 되면, 더이상 업신호(up) 또는 다운신호(down)를 출력하지 않게 되고, 이로 인해 루프필터(80)에 인가되는 전압( $V_c$ )도 일정한 값을 유지하게 된다.
- <50> 따라서 이후부터 전압제어 딜레이라인(70)에서는 일정한 전압레벨을 유지하는 기준전압을 입력받아( $V_c$ ) 이에 해당되는 일정한 시간만큼 기준클럭신호(CKr)를 지연시켜 피드백 클럭신호(CKf)로 출력되고, 이 때의 피드백 클럭신호(CKf)를 반도체 장치의 내부동작에 사용하게 된다.
- <51> 전술한 바와 같이 아날로그 지연고정루프는 입력되는 위상차이 만큼 기준전압( $V_c$ )을 조정하고, 이를 이용하여 피드백 클럭신호(CKf)의 지연시간을 고정시키기 때문에 매우 정밀한 위상차이까지 감지하여 지연시간을 정할 수 있다.
- <52> 따라서 지연이 고정된 내부클럭은 외부클럭과 정말하게 동기될 수 있고, 동기된 클럭신호의 지터특성이 디지털 지연고정루프에 비해 좋으며, 고속으로 지연을 고정시킬 수 있기 때문에 고속시스템의 입출력 동기화에 적합한 구조이다.
- <53> 그러나 아날로그 지연고정루프는 지연고정에 대한 정보가 캐패시터에 전압( $V_c$ )값으로 저장되어 있기 때문에 누설전류(leakage current)에 의해서 전압( $V_c$ )값에 손실이 발생한다. 이로 인해 지연이 고정된 정보를 계속해서 유지할

수 없어서 파워가 다운되는 스탠바이모드(Stand-by)에서도 지연고정루프의 동작을 중단시키지 못하고 계속해서 동작시켜야만 되어 불필요한 전류소모가 증가되는 문제점을 가지고 있다.

<54> 따라서 아날로그 지연고정루프는 고속 시스템에 적합한 여러장점을 가지고 있는 반면에 디지털 지연고정루프에 비해서 동작전류가 매우 큰 문제점을 가지고 있는 것이다.

#### 【발명이 이루고자 하는 기술적 과제】

<55> 본 발명은 상기의 문제점을 해결하기 위해 제안된 것으로, 아날로그 지연고정루프에서 지연고정된 정보를 디지털 값으로 저장하여 파워다운모드에서는 동작을 중지시킬 수 있어, 전류소모가 최소화된 아날로그 지연고정루프를 제공함을 목적으로 한다.

#### 【발명의 구성 및 작용】

<56> 상기의 목적을 해결하기 위해 본 발명은 외부클럭신호를 버퍼링하여 기준클럭신호로 사용하는 아날로그 지연고정루프에 있어서, 상기 버퍼링되는 지연시간을 모델링하기 위한 지연모델; 상기 기준클럭신호와 상기 지연모델에서 출력되는 출력신호간의 위상을 비교하기 위한 위상비교기; 상기 위상비교기의 출력에 응답하여 전하펌핑 동작을 수행하기 위한 전하펌프; 상기 전하펌프에서 공급되는 전하량에 의해 인가되는 기준전압을 출력하기 위한 루프필터; 상기 기준클럭신호를 상기 기준전압에 대응하는 소정시간동안 지연시켜 상기 지연모델로 출력하기 위한 전압제어 딜레이라인; 및 상기 루프필터의 기준전압을 안정적으로 유지하기 위해, 상기 기준전압을 디지털값으로 저장하고, 상기 저장된 디지털값에 해당되는 트래킹전압을 상기 루프필터로 출력하는 트래킹 아날로그-디지털 변환기를 구비하는 아날로그 지연고정루프를 제공한다.

<57> 또한 본 발명은 외부클럭신호를 버퍼링하여 기준클럭신호로 사용하는 아날로그 위상고정 루프에 있어서, 상기 버퍼링되는 지연시간을 모델링하기 위한 지연모델; 상기 기준클럭신호와 상기 지연모델에서 출력되는 출력신호간의 위상을 비교하기 위한 위상비교기; 상기 위상비교기의 출력에 응답하여 전하펌핑 동작을 수행하기 위한 전하펌프; 상기 전하펌프에서 공급되는 전하량에 의해 인가되는 기준전압을 출력하기 위한 루프필터; 상기 기준클럭신호의 주파수를 상기 기준전압에 따라 변동시켜 상기 지연모델로 출력하기 위한 전압제어 발진기; 및 상기 루프필터의 기준전압을 안정적으로 유지하기 위해, 상기 기준전압을 디지털값으로 저장하고, 상기 저장된 디지털값에 해당되는 트래킹전압을 상기 루프필터로 출력하는 트래킹 아날로그-디지털 변환기를 구비하는 아날로그 위상고정루프를 제공한다.

<58> 본 발명은 아날로그 지연고정루프에 트래킹 아날로그-디지털 변환기를 구비하고 지연고정된 값을 상기 아날로그-디지털 변환기에 디지털 값으로 저장하여, 입출력 동기화가 필요하지 않는 스탠바이모드에서는 전압제어 딜레이라인등을 디스에이블시켜 전력소모를 줄일 수 있으며, 외부클럭신호에 대한 기준클럭신호의 동기화를 위한 지연고정 동작은 아날로그 제어방식을 이용하여 고속으로 지연고정이 가능한 아날로그 지연고정루프에 관한 것이다.

<59> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

<60> 도5는 본 발명의 바람직한 실시예에 따른 아날로그 지연고정루프를 나타내는 블록구성도이다.

- <61> 도5를 참조하여 살펴보면, 본 실시예에 따른 아날로그 지연고정루프는 외부클럭신호(CKin)가 버퍼링되어 기준클럭신호(CKr)로 형성될 때 지연되는 지연량을 모델링하기 위한 지연모델(600)과, 기준클럭신호(CKr)와 지연모델(600)에서 출력되는 출력신호(CKd)간의 위상을 비교하기 위한 위상비교기(300)와, 위상비교기(300)의 출력에 응답하여 전하펌핑 동작을 수행하는 전하펌프(400)와, 전하펌프(400)에서 공급되는 전하량에 의해 인가되는 기준전압(Vc)을 출력하기 위한 루프필터(500)와, 기준클럭신호(CKr)를 기준전압(Vc)에 대응하는 소정시간동안 지연시켜 지연모델(600)로 피드백클럭신호(CKf)를 출력하기 위한 전압제어 딜레이라인(200)과, 루프필터(500)의 기준전압(Vc)을 안정적으로 유지하기 위해, 기준전압(Vc)을 디지털값으로 저장하고, 저장된 디지털값에 해당되는 트래킹(tracking)전압(Vt)을 루프필터(500)로 출력하는 트래킹 아날로그-디지털 변환기(100)를 구비한다.
- <62> 특히 트래킹전압(Vt)은 스탠바이모드(Standby mode)동안 루프필터(500)로 출력하여 스탠바이모드에서 기준전압(Vc)이 일정한 전압레벨이 되도록 유지한다. 또한 상기 루프필터(500)는 기준전압(Vc)을 인가하기 위한 캐패시터(미도시)를 구비하고 있다.(도4의 '90' 참조)
- <63> 또한 트래킹 아날로그-디지털 변환기(100)에서 출력되는 트래킹전압(Vt)을 루프필터(500)로 선택적으로 전달하기 위한 스위치(S1)를 더 구비한다.
- <64> 도6은 도5에 도시된 트래킹 아날로그-디지털 변환기(100)를 나타내는 블록구성도이다.
- <65> 도6을 참조하여 살펴보면, 트래킹 아날로그-디지털 변환기(100)는 기준전압(Vc)과 트래킹전압(Vt)을 비교하기 위한 전압비교기(110)와, 전압비교기(110)에서 출력되는 신호(down1,up1)에 응답하여 카운팅되는 신호를 출력하기 위한 8비트 이진 업/다운 카운터(120)와, 8비트 이진 업/다운 카운터(120)에서 출력하는 카운팅되는 신호에 대응하는 디지털값을 저장하



기 위한 8비트 레지스터(130)와, 레지스터에 저장된 8비트의 디지털값에 해당되는 전압을 형성하여 트랙킹전압( $V_t$ )으로 출력하기 위한 디지털-아날로그 변환기(140)를 구비한다.

<66> 디지털-아날로그 변환기(140)은 고속 트랙킹을 위해 상기 디지털값에서 소정의 상위 6비트에 대응하는 제1 트랙킹전압(상위 6비트만을 이용하여 형성한 전압)을 형성하여 트랙킹전압( $V_t$ )으로 출력하기 위한 메인 아날로그-디지털 변환기(142)와, 상기 8비트의 디지털값에서 상위 6비트를 제외한 나머지 하위 2비트에 대응하며, 상기 제1 트랙킹전압이 기준전압( $V_c$ )과 실질적으로 같은 전압레벨이 되도록 상기 제1 트랙킹전압을 보정하기 위한 제2 트랙킹전압(하위 2비트를 이용하여 형성한 전압)을 출력하기 위한 서브 아날로그-디지털 변환기(144)를 구비한다.

<67> 또한 디지털-아날로그 변환기(100)는 8비트 이진 업/다운 카운터(120)에서 출력되는 8비트의 디지털값중 상위 6비트를 64비트의 온도코드(thermometer code)로 변환하여 메인 디지털-아날로그 변환기(142)로 출력하는 이진수-온도코드 변환기(141)를 더 구비한다. 참고적으로 표 1은 3비트의 이진수에 대한 온도코드를 나타내는 것이다.

<68> 【표 1】

이진수			온도코드						
D3	D2	D1	T7	T6	T5	T4	T3	T2	T1
0	0	0	0	0	0	0	0	0	0
0	0	1	0	0	0	0	0	0	1
0	1	0	0	0	0	0	0	1	1
0	1	1	0	0	0	0	1	1	1
1	0	0	0	0	0	1	1	1	1
1	0	1	0	0	1	1	1	1	1
1	1	0	0	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1	1

<69> 여기서 더미 변환기(143)는 8비트 이진 업/다운 카운터(120)에서 출력되는 하위 2비트를 입력받아 소정시간 지연만 시켜 서브 디지털-아날로그(144)로 출력하게 되는데, 이는 상위 6

비트의 이진수가 온도코드로 변환되는 시간때문에 하위 2비트와 온도코드간에 스큐(skew)가 생기게 되므로 이를 방지하기 위한 것이다. 즉 더미 변환기(143)에 의한 지연시간은 상위 6비트를 온도코드로 변환되는 시간과 같도록 설계된다.

<70> 또한 메인 디지털-아날로그 변환기(142)는 세그먼트(Segment) 디지털-아날로그 변환기를 사용하고 이진수-온도코드 변환기(141)에서 출력되는 64비트의 온도코드를 입력받아 그에 해당하는 전압으로 변환한다. 세그먼트 디지털-아날로그 변환기는 노이즈특성이 좋은 반면, 변환하는데 시간이 다소걸리는 단점을 가지고 있는데, 이를 보완하기 위해 6비트의 이진수를 64비트의 온도 코드로 변환하는 이진수-온도코드 변환기(141)를 추가로 구비하여 64비트의 온도코드를 전압으로 변환하도록 하는 것이다. 즉, 온도코드를 이용하여 세그먼트 디지털-아날로그 변환기의 변환 시간을 단축하는 것이다.

<71> 또한, 서브 디지털-아날로그 변환기(144)는 바이너리(Binary)타입의 디지털-아날로그 변환기를 사용한다.

<72> 또한 디지털-아날로그 변환기에서 출력되는 전압을 입력받아 버퍼링하여 트래킹전압( $V_t$ )으로 출력하기 위한 단위이득버퍼(unit gain buffer)(160)를 더 구비한다. 단위이득버퍼(160)는 연산증폭기를 사용하여 출력신호를 부입력단(-)으로 피드백시켜서 형성한다.

<73> 여기서 단위이득버퍼(160)를 사용하는 이유는 트래킹전압( $V_t$ )는 루프필터(500)의 캐패시터로 출력하게 되는데, 루프필터(500)의 캐패시터는 그 특성상 캐패시턴스가 상당히 크기 때문에 디지털-아날로그 변환기(140)에서 출력되는 신호의 드라이빙 능력향상을 위한 것이다.

- <74> 또한 전압비교기(110)는 샘플링클럭이 입력될 때마다 트래킹전압( $V_c$ )과 기준전압( $V_c$ )을 비교하게 되는데, 전압비교기(110)에서 비교동작이 일어난 뒤 소정시간후에 샘플링클럭에 의해 8비트 이진 업/다운 카운터(120)을 동작시키기 위해 딜레이(150)를 구비한다.
- <75> 도7은 도5에 도시된 아날로그 지연고정루프의 동작을 나타내는 파형도이다.
- <76> 이하에서는 도5 내지 도7을 참조하여 전술한 실시예에 따른 아날로그 지연고정루프의 동작을 설명한다.
- <77> 먼저 입력버퍼(700)에서는 외부 클럭신호( $CK_{in}$ )를 소정시간 지연시켜 기준클럭신호( $CK_r$ )를 출력한다. 이어서 기준클럭신호( $CK_r$ )는 위상비교기(300)로 입력되고, 한편으로 전압제어 딜레이라인(200)에서 소정시간 지연되어 피드백 클럭신호( $CK_f$ )로 되어 지연모델(600)로 입력된다. 지연모델(600)은 외부클럭신호( $CK_{in}$ )가 반도체 장치의 내부로 입력될 때 클럭버퍼(60)등으로 인해서 지연되는 지연시간을 모델링해서 설계된다.
- <78> 이어서 위상비교기(300)에서는 기준클럭신호( $CK_r$ )와 지연모델(600)에서 출력되는 신호( $CK_d$ )의 위상을 비교하고, 비교한 결과에 따라서 업신호(up) 또는 다운신호(down)를 전하펌프(400)로 출력한다.
- <79> 전하펌프(400)는 업신호(up) 또는 다운신호(down)에 따라서 루프필터(500)에 구비된 캐패시터(미도시)에 전하를 충전하거나, 캐패시터로부터 전하를 방전시킨다. 캐패시터에 충전되는 전하에 따라서 일정한 기준전압( $V_c$ )이 인가되어 전압제어 딜레이라인(200)으로 출력된다. 루프필터(500)는 도4에 도시된 바(도면부호 '90'참조)와 같이 형성할 수 있다.

- <80> 이어서 전압제어 딜레이라인(200)에서는 루프필터(500)에 인가되는 기준전압( $V_c$ )에 따라서 기준클럭신호( $CK_r$ )의 지연시간을 조정하여 피드백 클럭신호( $CK_f$ )를 지연모델(600)로 출력한다.
- <81> 이어서 위상비교기(300)에서 기준클럭신호( $CK_r$ )와 지연모델(65)의 출력신호의 위상을 비교하여 전하펌프(400)로 업신호(up) 또는 다운신호(down)를 출력하게 된다. 이 과정은 위상비교기(300)에서 기준클럭신호( $CK_r$ )와 지연모델(65)의 출력신호의 위상을 비교하여 그 결과가 일치할 때까지 계속하게 된다.
- <82> 위상비교기(300)에서 기준클럭신호( $CK_r$ )와 지연모델(65)의 출력신호의 위상을 비교한 결과값이 일치하게 되면, 더이상 업신호(up) 또는 다운신호(down)를 전하펌프(400)로 출력하지 않게 된다. 이로 인해 루프필터(500)에 인가되는 기준전압( $V_c$ )도 일정한 값을 유지하게 된다.
- <83> 따라서 이후부터 전압제어 딜레이라인(200)에서는 일정한 전압레벨을 유지하는 기준전압( $V_c$ )를 입력받아서 기준클럭신호( $CK_r$ )를 일정한 시간만큼 지연고정시킨 피드백 클럭신호( $CK_f$ )로 출력하게 되고, 이 때의 피드백 클럭신호( $CK_f$ )를 반도체 장치의 내부동작에 사용하게 된다.
- <84> 한편 트래밍 아날로그-디지털 변환기(100)에서는 기준전압( $V_c$ )를 입력받아서 기준전압( $V_c$ )와 같은 전압레벨을 가지도록 트래킹전압( $V_t$ )을 전압레벨을 유지한다.
- <85> 이를 자세히 살펴보면, 먼저 전압비교기(110)에서 기준전압( $V_c$ )과 트래킹전압( $V_t$ )을 비교하고 그 결과값을 구비된 래치(latch)(미도시)에 저장한다. 이어서 비교한 결과값에 따라서 출력신호(up1,down1)을 8비트 이진 업/다운 카운터(120)로 출력한다. 8비트 이진 업/다운 카운터(120)에서는 전압비교기(110)의 출력신호(up1,down1)에 따라 카운팅되는 신호를 출력하고, 레지스터(130)는 카운팅되는 신호에 대응하는 디지털값을 저장한다.

- <86> 이어서 이진수-온도코드 변환기(141)에서는 레지스터(130)에 저장되고 8비트 이진 업/다운 카운트에서 출력되는 8비트 디지털값중에서 상위6비트를 64비트의 온도코드로 변환하여 메인 디지털-아날로그 변환기(141)로 출력한다.
- <87> 이어서 메인 디지털 아날로그 변환기(142)에서는 64비트 온도코드에 해당하는 전압을 단위이득버퍼(160)으로 출력하고, 단위이득버퍼(160)에서는 메인 디지털-아날로그 변환기(142)에서 출력되는 전압을 입력받아 버퍼링하여 전압비교기(110)로 트래킹전압( $V_t$ )을 출력한다.
- <88> 이어서, 전압비교기(110)에서는 기준전압( $V_c$ )과 트래킹전압( $V_t$ )를 다시 비교하고, 비교한 결과값에 따라 전술한 바와 같이 다시 전압레벨이 조정된 트래킹전압( $V_t$ )이 전압비교기(110)로 입력된다. 트래킹전압( $V_t$ )이 기준전압( $V_c$ )과 같은 전압레벨을 가질 때까지 전술한 과정이 계속 반복된다.
- <89> 도7을 참조하여 살펴보면, 루프필터(500)에 기준전압( $V_c$ )이 인가되고 나서, 트래킹전압( $V_t$ )이 기준전압( $V_c$ )을 트래킹(tracking)하고 있음을 알 수 있다. 트래킹전압( $V_t$ )은 아날로그 지연고정루프가 지연고정 동작중일 때는 기준전압( $V_c$ )을 트래킹하고, 지연고정이 되었을 때는 일정한 전압레벨로 유지된다.
- <90> 트래킹전압( $V_t$ )이 기준전압( $V_c$ )과 같은 전압레벨이 되었을 때에는 트래킹 아날로그 디지털 변환기(100)가 더이상 트래킹 동작을 중지하게 되고, 그 때의 값은 8비트 레지스터(130)에 디지털값으로 저장되기 때문에 트래킹전압( $V_t$ )이 일정한 전압레벨을 유지할 수 있는 것이다.
- <91> 8비트 레지스터(130)에 저장되는 디지털값은 기준전압( $V_c$ )을 트래킹하는 트래킹전압( $V_t$ )에 따라 정해지는데, 기준전압( $V_c$ )은 루프필터(500)에 인가되는 기준전압( $V_c$ )은 지연고정루프가 지연고정 동작중일 때 계속해서 변하게 된다. 최종적으로는 지연고정루프가 지연고정 동작

이 되었을 때의 기준전압( $V_c$ )을 트래킹한 트래킹전압( $V_t$ )에 대응하는 디지털값을 8비트 레지스터에 저장된다.

<92> 반도체장치의 동작중 전류소모를 줄이기 위한 스탠바이모드에 진입하게 되면, 트래킹 아날로그-디지털 변환기(100)를 제외하고, 전압제어 딜레이 라인(200)을 비롯한 클럭동기화에 필요한 모든 블록은 디스에이블된다. 스탠바이모드동안에는 기준전압( $V_c$ )은 그 특성상 루프필터(500)의 캐패시터에 인가된 전압이므로 누설전류로 인해 점점 전압레벨이 감소하게 되어야 한다.

<93> 그러나 이 경우에도 트래킹 아날로그-디지털 변환기(100)는 인에이블상태이기 때문에 트래킹전압( $V_t$ )은 일정한 전압레벨을 유지하면서 루프필터(500)로 출력하고 있기 때문에 기준전압( $V_c$ )은 트래킹전압( $V_t$ )과 같은 전압레벨을 유지할 수 있게 된다. 도7을 참조하여 살펴보면, 스탠바이 모드에서도 트래킹전압( $V_t$ )으로 인해 기준전압( $V_c$ )이 일정한 전압레벨을 유지하는 것을 알 수 있다.(A 참조)

<94> 따라서 스탠바이 모드가 끝나고 다시 지연고정루프가 지연고정 동작을 시작할 때에도 기준전압( $V_c$ )이 이전에 지연고정 되었을 때의 전압레벨을 유지하고 있기 때문에 고속으로 다시 지연고정 동작을 진행할 수 있는 것이다.

<95> 한편, 전술한바와 같이 8비트 디지털값중에서 상위 6비트만을 이용하여 트래킹전압( $V_t$ )을 형성하게 되면, 기준전압( $V_c$ )과 정확하게 일치하는 트래킹전압( $V_t$ )을 형성할 수가 없다.

<96> 본 발명은 먼저 상위 6비트만을 이용하여 제1 트래킹전압( $V_t$ )을 형성한 다음 이를 기준전압( $V_c$ )을 트래킹한 트래킹전압( $V_c$ )으로 이용하고, 일단 트래킹전압( $V_c$ )이 기준전압( $V_c$ )과 비

슷한 레벨로 트래킹되면 하위2비트로 형성된 제2 트래킹전압을 이용하여 트래킹전압( $V_c$ )을 보정하게 된다.

<97> 즉, 아날로그 지연고정루프의 초기동작시에는 루프필터(500)의 출력값과 이 때 출력되는 단위이득버퍼(160)에서 출력되는 기준전압( $V_c$ )과 차이가 크므로 단지 메인 디지털-아날로그 변환기(142)만 동작시켜 상위 6비트만으로 트래킹동작을 수행하고, 트래킹 동작이 반복되어 트래킹전압( $V_t$ )이 기준전압( $V_c$ )과 비슷해지면 서브 디지털-아날로그 변환기(143)을 동작시켜 트래킹전압( $V_t$ )을 기준전압( $V_c$ )과 같아지도록 하는 것이다.

<98> 이렇게 저장된 8비트의 디지털값을 2가지로 나누어 트래킹전압( $V_t$ )를 형성하는 이유는 트래킹 아날로그-디지털 변환기(100)의 트래킹시간을 줄이면서 트래킹전압( $V_t$ )의 정밀도를 높이기 위한 것이다.

<99> 도8은 도6에 도시된 트래킹 아날로그-디지털 변환기의 동작을 나타내는 파형도로서, 8비트의 디지털값을 2가지로 나누어 트래킹전압( $V_t$ )을 형성하는 것을 나타내는 도면이다.

<100> 도8을 참조하여 살펴보면, 초기 트래킹동작시에는 메인 디지털-아날로그 변환기(142)만을 동작시켜 트래킹전압( $V_t$ )을 기준전압으로 트래킹시키고, 이후 트래킹전압( $V_t$ )이 기준전압( $V_c$ )과 비슷한 레벨이 되면 메인 디지털-아날로그 변환기(142)와 서브 디지털-아날로그 변환기(144) 모두를 동작시켜 트래킹전압( $V_t$ )이 기준전압( $V_c$ )과 실질적으로 같은 전압레벨로 형성되는 것을 볼 수 있다.

<101> 전술한 실시예에서는 디지털값을 8비트로 저장하였으나 경우에 따라서 저장되는 디지털값의 비트수를 적절하게 조정할 수 있고, 그에 맞추어 트래킹 아날로그-디지털 변환기(100)를 구성할 수 있다. 또한 본 실시예의 트래킹 아날로그-디지털 변환기(100) 상위6비트와 하위2비

트로 나누어 변환하도록 구성하였으나, 2가지로 나누어 변환할 때의 각각의 비트도 적절하게 조정할 수 있고, 그에 맞추어 트랙킹 아날로그-디지털 변환기(100)를 구성할 수 있다.

<102> 한편, 메인 디지털-아날로그 변환기(142)로 세그먼트타입의 디지털-아날로그 변환기를 사용하고, 서브 디지털-아날로그 변환기(144)로는 바이너리타입의 디지털-아날로그 변환기를 사용함으로써 디지털값을 아날로그값인 전압으로 변환할 때에 스위칭 노이즈가 출력전압에 영향을 거의 주지 않게 된다. 또한 이렇게 함으로서 메인과 서브 디지털-아날로그 변환기(142, 144)를 모두 세그먼트타입으로 형성하는 것 보다 트랙킹 아날로그-디지털 변환기(100)의 면적을 크게 줄일 수 있으면서 같은 성능을 얻을 수 있다.

<103> 더미 변환기(143)는 실질적으로 코드의 변환은 일어나지 않으며 단지 상위6비트가 온도 코드로 변환되는 시간으로 인한 스큐를 보상하기 위한 것이다.

<104> 한편, 스위치(S1)는 트랙킹전압( $V_t$ )을 스탠바이모드 동안만 선택적으로 루프필터(500)로 전달하기 위해서 사용되는 것이다.

<105> 전술한 바와 같이 본 발명의 아날로그 지연고정루프는 스탠바이모드에서는 대부분의 블럭이 디스에이블 상태로 둘 수 있기 때문에 불필요한 전류낭비를 막을 수 있다. 특히 전압제어 딜레이 라인은 큰 전류를 소모하는 블럭으로 스탠바이모드에서 디스에이블시킴으로서 불필요한 많은 전류소모를 방지할 수 있는 것이다.

<106> 특히, 본 발명의 아날로그 지연고정루프는 스탠바이모드에서 트랙킹 아날로그-디지털 변환기(100)의 단위이득버퍼(100)와 세그먼트 디지털-아날로그 변환기(100)만 인에이블 상태로 두고 나머지 모든 블럭들은 디스에이블상태로 두어도, 스탠바이모드에서 동작모드로 진입하여 아날로그 지연고정루프가 지연고정 동작을 다시 시작할 때에는 레지스터(130)에 저장된 디지털



값에 대응하는 트래킹전압( $V_t$ )을 이용하여 이전 지연고정 동작시의 기준전압( $V_c$ )를 유지할 수 있기 때문에 빠르게 다시 지연고정동작을 수행할 수 있다. 또한 이 때에 레지스터(130)에 저장되는 값은 디지털값이므로 스탠바이 모드에서 레지스터(130)에 흐르는 DC전류는 없게된다.

<107> 여기서 트래킹 아날로그-디지털 변환기(100)의 단위이득버퍼(100)와 세그먼트 디지털-아날로그 변환기(100)를 인에이블상태로 두는 이유는 단위이득버퍼(100)와 세그먼트 디지털-아날로그 변환기(100)까지 디스에이블상태로 두게 되면, 스탠바이모드에서 동작모드로 진입하여 다시 지연고정동작을 시작할 때에 레지스터(130)에 저장된 디지털값으로 트래킹전압( $V_t$ )을 형성하는데 일정한 시간이 소요되어 지연고정되는 시간이 너무 많이 걸릴 수 있기 때문이다.

<108> 결론적으로 본 발명의 아날로그 지연고정루프는 아날로그 동작으로 지연고정동작을 하기 때문에 고속으로 지연고정 동작을 수행할 수 있으며, 또한 피드백 클럭신호(CKf)의 지터특성과 전원전압 잡음에 강하면서도, 추가로 구비되는 트래킹 아날로그-디지털 변환기로 인해 지연고정된 전압값을 디지털값으로 저장하고 있기 때문에 스탠바이모드에서 불필요한 전류소모를 크게 줄일 수 있는 것이다.

<109> 도9은 본 발명의 바람직한 다른 실시예에 따른 아날로그 위상고정루프를 나타내는 블럭구성도이다. 아날로그 위상고정루프는 아날로그 지연고정루프와 전체적으로 비슷한 구성을 하고 있으나 전압제어 딜레이라인 대신에 전압제어 발진기를 사용하여 클럭신호의 주파수를 변동하도록 내부클럭을 외부클럭에 동기시키는 회로이다.

<110> 도9을 참조하여 살펴보면, 도5의 아날로그 지연고정루프에서 전압제어 딜레이라인(200) 대신에 전압제어 발진기(800)를 사용한 것을 알 수 있다.

<111> 본 발명의 아날로그 위상고정루프의 동작은 전압제어 발진기(800)에서 기준전압( $V_c$ )의 전압레벨에 따라서 출력되는 피드백 클럭신호(CKf)의 주파수를 조정하여 외부클럭과 동기를 ??추는 것을 제외하고는 전술한 아날로그 지연고정루프의 동작과 같다. 이는 통상적인 아날로그 지연고정루프의 동작과 같기 때문에 자세한 동작설명은 생략한다.

<112> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

#### 【발명의 효과】

<113> 본 발명에 아날로그 지연고정루프에 의해서 고속으로 외부클럭에 동기된 내부클럭신호를 생성할 수 있으며, 전력감소를 위한 스탠바이모드에서는 지연고정루프의 동작전류를 최대한 감소시켜, 반도체 장치의 전력소모를 크게 줄일 수 있다.

**【특허청구범위】****【청구항 1】**

외부클럭신호를 버퍼링하여 기준클럭신호로 사용하는 아날로그 지연고정루프에 있어서,  
상기 버퍼링되는 지연시간을 모델링하기 위한 지연모델;

상기 기준클럭신호와 상기 지연모델에서 출력되는 출력신호간의 위상을 비교하기 위한  
위상비교기;

상기 위상비교기의 출력에 응답하여 전하펌핑 동작을 수행하기 위한 전하펌프;

상기 전하펌프에서 공급되는 전하량에 의해 인가되는 기준전압을 출력하기 위한 루프필터;  
터;

상기 기준클럭신호를 상기 기준전압에 대응하는 소정시간동안 지연시켜 상기 지연모델  
로 출력하기 위한 전압제어 딜레이라인; 및

상기 루프필터의 기준전압을 안정적으로 유지하기 위해, 상기 기준전압을 디지털값으로  
저장하고, 상기 저장된 디지털값에 해당되는 트래킹전압을 상기 루프필터로 출력하는 트래킹  
아날로그-디지털 변환기

를 구비하는 아날로그 지연고정루프.

**【청구항 2】**

제 1 항에 있어서,

상기 트래킹전압은

스탠바이모드동안 상기 루프필터로 출력되는 것을 특징으로 하는 아날로그 지연고정루프

【청구항 3】

제 2 항에 있어서,

상기 루프필터는

상기 기준전압을 인가하기 위한 캐패시터를 구비하는 것을 특징으로 하는 아날로그 지연 고정루프.

【청구항 4】

제 2 항에 있어서,

상기 트래킹 아날로그-디지털 변환기는,

상기 기준전압과 상기 트래킹전압을 비교하기 위한 전압비교기;

상기 전압비교기의 출력에 응답하여 카운팅되는 신호를 출력하기 위한 카운팅수단;

상기 카운팅되는 신호에 대응하는 디지털값을 저장하기 위한 레지스터; 및

상기 디지털값에 해당되는 전압을 형성하여 상기 트래킹전압으로 출력하기 위한 디지털-아날로그 변환수단을 구비하는 것을 특징으로 하는 아날로그 지연고정루프.

【청구항 5】

제 4 항에 있어서,

상기 디지털-아날로그 변환수단은

고속 트래킹을 위해 상기 디지털값에서 소정의 상위비트에 대응하는 제1 트래킹전압을 형성하여 상기 트래킹전압으로 출력하기 위한 메인 아날로그-디지털 변환기; 및

상기 디지털값에서 상기 상위비트를 제외한 나머지 비트에 대응하며, 상기 제1 트래킹전압이 상기 기준전압과 같은 레벨이 되도록 상기 제1 트래킹전압을 보정하기 위한 제2 트래킹전압을 출력하기 위한 서브 아날로그-디지털 변환기를 구비하는 것을 특징으로 하는 아날로그 지연고정루프.

#### 【청구항 6】

제 5 항에 있어서,

상기 디지털-아날로그 변환수단은

상기 소정의 상위비트를 온도코드로 변환하여 상기 메인 디지털-아날로그 변환기로 출력하는 이진수-온도코드 변환기를 더 구비하고,

상기 디지털-아날로그 변환기는 세그먼트 디지털-아날로그 변환기인 것을 특징으로 하는 아날로그 지연고정루프.

#### 【청구항 7】

제 4 항에 있어서,

상기 디지털-아날로그 변환기에서 출력되는 전압을 입력받아 버퍼링하여 상기 트래킹전압으로 출력하기 위한 단위이득버퍼를 더 구비하는 것을 특징으로 하는 아날로그 지연고정루프.

【청구항 8】

제 7 항에 있어서,

상기 단위이득버퍼에서 출력되는 트래킹전압을 상기 루프필터로 전달하기 위한 스위치를 더 구비하는 것을 특징으로 하는 아날로그 지연고정루프.

【청구항 9】

제 3 항에 있어서,

상기 기준전압은,

상기 전압제어 딜레이라인에서 출력되는 신호의 지연시간이 고정되었을 때 상기 전하펌프에서 출력되는 전하에 의해 인가되는 전압인 것을 특징으로 하는 아날로그 지연고정루프.

【청구항 10】

제 7 항에 있어서,

상기 스탠바이모드동안 상기 레지스터, 상기 디지털-아날로그 변환수단 및 상기 단위이득버퍼를 제외한 나머지 모든 블록은 디스에이블되는 것을 특징으로 하는 아날로그 지연고정루프.

프.

【청구항 11】

외부클럭신호를 버퍼링하여 기준클럭신호로 사용하는 아날로그 지연고정루프에 있어서,

상기 버퍼링되는 지연시간을 모델링하기 위한 지연모델;

상기 기준클럭신호와 상기 지연모델에서 출력되는 출력신호간의 위상을 비교하기 위한 위상비교기;

상기 위상비교기의 출력에 응답하여 전하펌핑 동작을 수행하기 위한 전하펌프;

상기 전하펌프에서 공급되는 전하량에 의해 인가되는 기준전압을 출력하기 위한 루프필터;

상기 기준클럭신호의 주파수를 상기 기준전압에 따라 변동시켜 상기 지연모델로 출력하기 위한 전압제어 발진기; 및

상기 루프필터의 기준전압을 안정적으로 유지하기 위해, 상기 기준전압을 디지털값으로 저장하고, 상기 저장된 디지털값에 해당되는 트래킹전압을 상기 루프필터로 출력하는 트래킹 아날로그-디지털 변환기

를 구비하는 아날로그 위상고정루프.

【청구항 12】

제 11 항에 있어서,

상기 트래킹전압은

스탠바이모드동안 상기 루프필터로 출력되는 것을 특징으로 하는 트래킹 아날로그 지연 고정루프.

【청구항 13】

제 12 항에 있어서,

상기 루프필터는

상기 기준전압을 인가하기 위한 캐패시터를 구비하는 것을 특징으로 하는 아날로그 위상 고정루프.

【청구항 14】

제 12 항에 있어서,

상기 트래킹 아날로그-디지털 변환기는,

상기 기준전압과 상기 트래킹전압을 비교하기 위한 전압비교기;

상기 전압비교기의 출력에 응답하여 카운팅되는 신호를 출력하기 위한 카운터;

상기 카운팅되는 신호에 대응하는 디지털값을 저장하기 위한 레지스터; 및

상기 레지스터에 저장된 디지털값에 해당되는 전압을 상기 트래킹전압으로 출력하기 위한 디지털-아날로그 변환수단을 구비하는 것을 특징으로 하는 아날로그 위상고정루프.

【청구항 15】

제 14 항에 있어서,



상기 디지털-아날로그 변환수단은

고속 트래킹을 위해 상기 디지털값에서 소정의 상위비트에 대응하는 제1 트래킹전압을 형성하여 상기 트래킹전압으로 출력하기 위한 메인 아날로그-디지털 변환기; 및

상기 디지털값에서 상기 상위비트를 제외한 나머지 비트에 대응하며, 상기 제1 트래킹전압이 상기 기준전압과 같은 레벨이 되도록 상기 제1 트래킹전압을 보정하기 위한 제2 트래킹전압을 출력하기 위한 서브 아날로그-디지털 변환기를 구비하는 것을 특징으로 하는 아날로그 위상고정루프.

【청구항 16】

제 15 항에 있어서,

상기 디지털-아날로그 변환수단은

상기 소정의 상위비트를 온도코드로 변환하여 상기 메인 디지털-아날로그 변환기로 출력하는 이진수-온도코드 변환기를 더 구비하고,

상기 디지털-아날로그 변환기는 세그먼트 디지털-아날로그 변환기인 것을 특징으로 하는 아날로그 위상고정루프.

【청구항 17】

제 14 항에 있어서,

상기 디지털-아날로그 변환기에서 출력되는 전압을 입력받아 버퍼링하여 상기 트래킹 전압으로 출력하기 위한 단위이득버퍼를 더 구비하는 것을 특징으로 하는 아날로그 위상고정루프.

【청구항 18】

제 17 항에 있어서,

상기 단위이득버퍼에서 출력되는 트래킹전압을 상기 루프필터로 전달하기 위한 제2 스위치를 더 구비하는 것을 특징으로 하는 아날로그 위상고정루프.

【청구항 19】

제 13 항에 있어서,

상기 기준전압은,

상기 전압제어 발진기에서 출력되는 신호의 위상이 고정되었을 때, 상기 전하펌프에서 출력되는 전하에 의해 인가되는 전압인 것을 특징으로 하는 아날로그 위상고정루프.

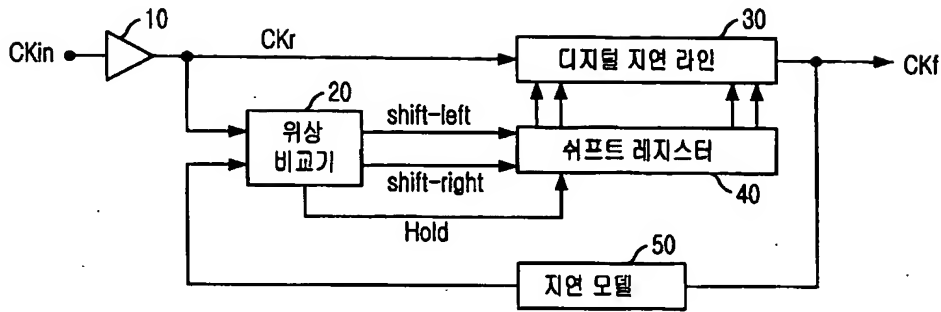
【청구항 20】

제 17 항에 있어서,

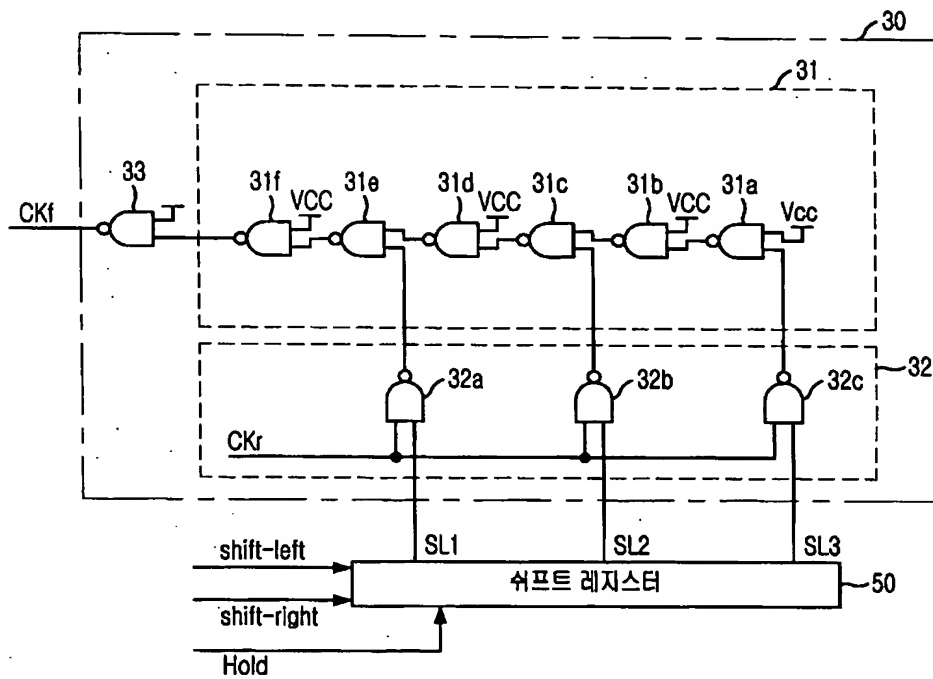
상기 스탠바이모드동안 상기 레지스터, 상기 디지털-아날로그 변환수단 및 상기 단위이득버퍼를 제외한 나머지 모든 블록은 디스에이블되는 것을 특징으로 하는 아날로그 위상고정루프.

【도면】

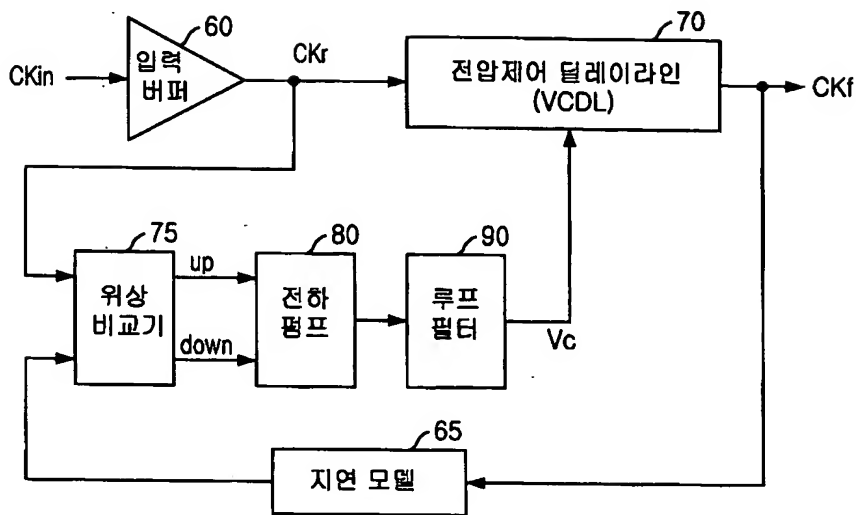
【도 1】



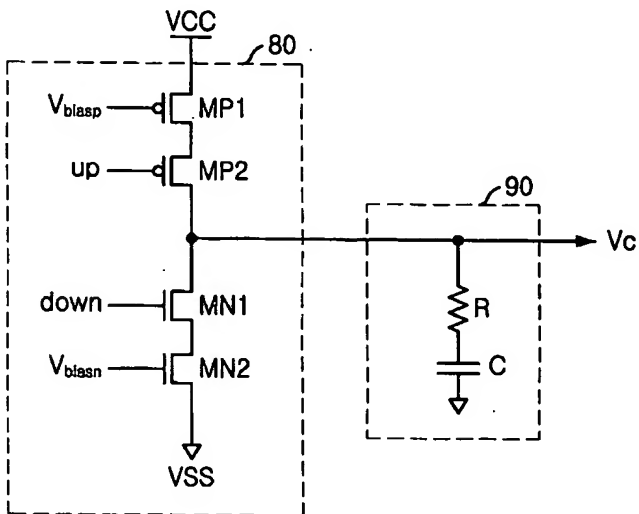
【도 2】



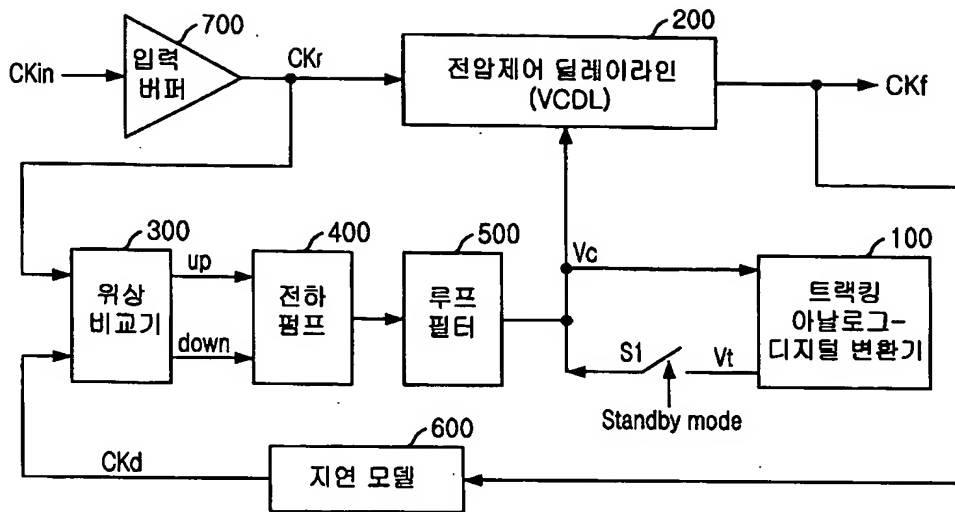
【도 3】



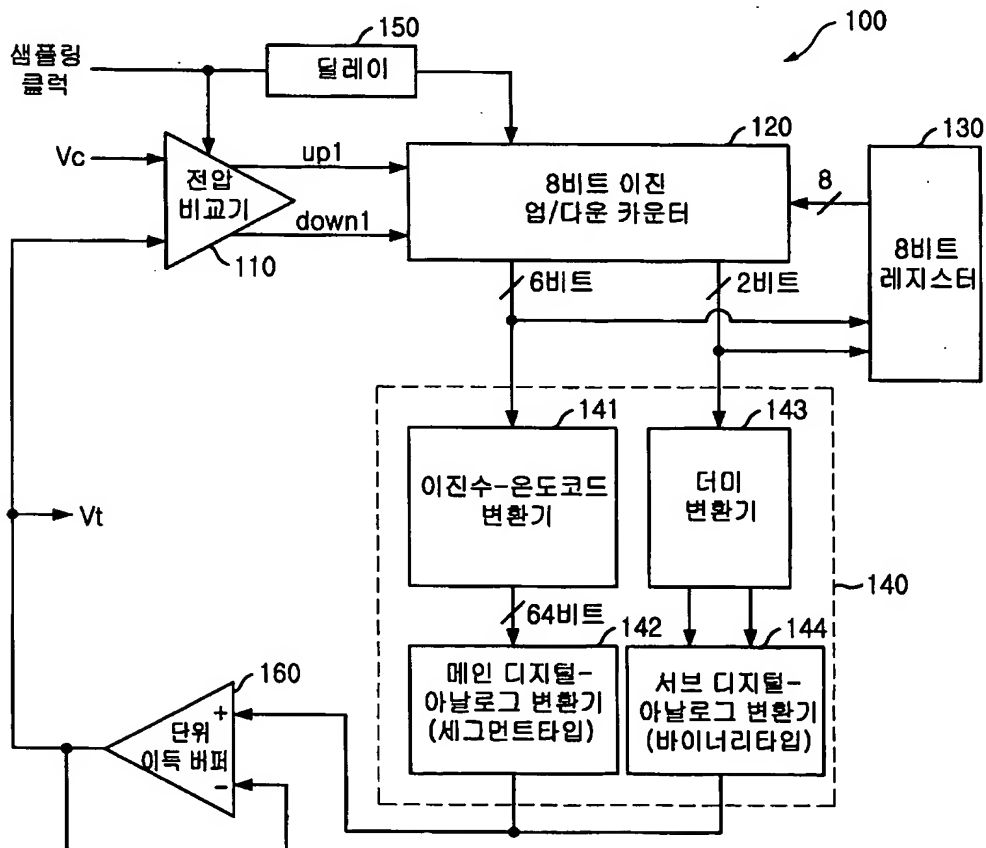
【도 4】



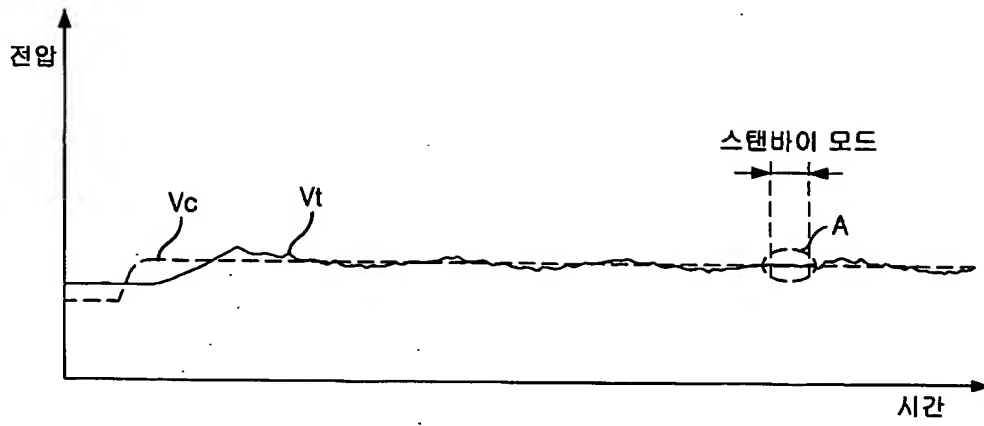
【도 5】



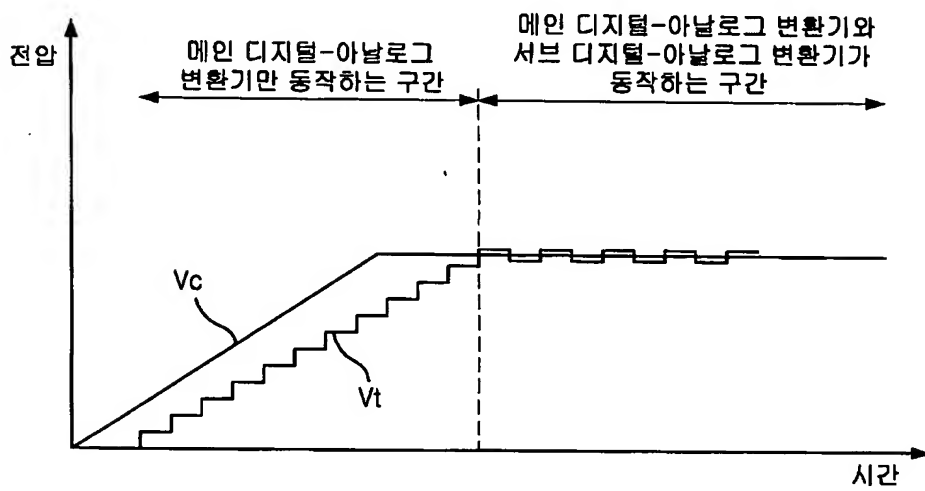
【도 6】



【도 7】



【도 8】



【도 9】

